

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-232597

(43)Date of publication of application : 18.09.1989

(51)Int.Cl.

G11C 11/34

(21)Application number : 63-056314

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.03.1988

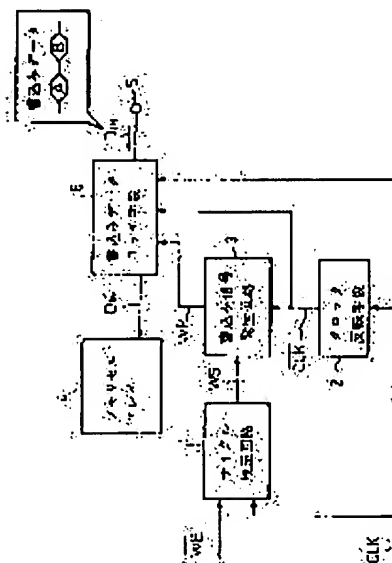
(72)Inventor : SUZUKI ATSUSHI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To decrease the number of data input terminals to be half by time- sharing plural writing data in an STRAM, inputting the data, after that, latching the data and simultaneously writing the above-mentioned data to a memory cell array in response to a writing signal.

CONSTITUTION: Writing data DIN from the input terminal are caused to respond to either an external clock CLK or a negative-phase clock the inverse of CLK and latched by a latch means 6. Then, in response to a writing signal the inverse of WE, the data are supplied to a memory cell array 4. At such a time, the means 6 inputs plural data A and B with a time-sharing form as the writing data from the input terminal and the data are simultaneously written. Accordingly, the number of the input terminals can be decreased to be half and a circuit scale is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑤ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-232597

⑨ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)9月18日

G 11 C 11/34

J-8522-5B

審査請求 未請求 請求項の数 1 (金?頁)

⑭ 発明の名称 半導体メモリ装置

⑮ 特 願 昭63-56314

⑯ 出 願 昭63(1988)3月11日

⑰ 発 明 者 鈴木 敦 詞 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 青木 朗 外3名

明 細 書

1. 発明の名称

半導体メモリ装置

2. 特許請求の範囲

少なくとも外部からのクロック(CLE)および書き込み指令信号(WP)にตอบสนองして該クロックの周期毎に所定機能を実行するためのサイクルを規定し、該規定されたサイクルの開始時点において該書き込み指令信号が所定の論理レベルにある時に書き込み制御信号(WS)を出力する回路(1)と、

前記外部クロックを逆相のクロック(CTE)に反転させる手段(2)と、

前記書き込み制御信号が出力されている時に前記逆相クロックにตอบสนองして書き込み信号(WP)を発生する回路(3)と、

前記書き込み信号が出力されている時にデータの書き込みのアクセスが行われるよう構成されたメモリセルアレイ(4)と、

該メモリセルアレイとの間でデータの書き込みのために供する入力端子(5)と、

該入力端子からの書き込みデータ(D_{in})を前記外部クロックまたは逆相クロックのいずれか一方にตอบสนองしてラッチし、該ラッチされたデータを前記書き込み信号にตอบสนองして前記メモリセルアレイに供給する手段(6)とを具備し、

前記入力端子から前記書き込みデータとして複数のデータ(A, B)を時分割形式で入力し、該入力された複数のデータを同時に書き込むようにしたことを特徴とする半導体メモリ装置。

3. 発明の詳細な説明

(概 要)

半導体メモリ装置、特に、外部からのクロックおよび書き込み指令信号にตอบสนองしてチップ内で書き込み信号(パルス)を発生するよう構成されたS T R A M装置に関し、

データ入力端子の数を半分にし、デバイスとしての回路規模の縮小化を可能にすることを目的とし、

少なくとも外部からのクロックおよび書き込み指令信号にตอบสนองして該クロックの周期毎に所定機能

を実行するためのサイクルを規定し、該規定されたサイクルの開始時点において読込み指令信号が所定の論理レベルにある時に書込み制御信号を出力する回路と、前記外部クロックを逆相のクロックに反転させる手段と、前記書込み制御信号が出力されている時に前記逆相クロックにตอบสนองして書込み信号を発生する回路と、前記書込み信号が出力されている時にデータの書込みのアクセスが行われるよう構成されたメモリセルアレイと、該メモリセルアレイとの間でデータの書込みのために供する入力端子と、該入力端子からの書込みデータを前記外部クロックまたは逆相クロックのいずれか一方にตอบสนองしてラッチし、該ラッチされたデータを前記書込み信号にตอบสนองして前記メモリセルアレイに供給する手段とを具備し、前記入力端子から前記書込みデータとして複数のデータを時分割形式で入力し、該入力された複数のデータを同時に書込むように構成する。

要望に直面した時に不利な一面を呈することになる。このような不利な面に鑑みて最近開発されているデバイスに、上述のSTRAMがある。

(従来の技術)

第5図には上述したSTRAM装置の従来形の構成例が示される。

第5図において、50は通常のスタティック形メモリセルアレイ、51、52、53、54aおよび54bは外部クロックCLKにตอบสนองしてそれぞれアドレスデータADD、ロー・アクティブのチップ選択信号CS、ロー・アクティブの書込み指令信号WE、書込みデータD_{in}(a)、書込みデータD_{in}(b)をラッチするレジスタ、55はレジスタ52の出力の反転信号とレジスタ53の出力信号とにตอบสนองするアンドゲート、56はレジスタ52の出力の反転信号とレジスタ53の出力の反転信号とにตอบสนองするアンドゲート、57はアンドゲート56の出力信号MSが"H"レベルの時にクロックCLKにตอบสนองして書込みパルスWPを発生する回路、58aおよび58bはトライステートバッ

(産業上の利用分野)

本発明は、半導体メモリ装置に関し、特に、外部からのクロックおよび書込み指令信号にตอบสนองしてチップ内で書込み信号(パルス)を発生するよう構成されたセルフ・タイムド・ランダム・アクセス・メモリ(以下、STRAMと称する)装置に関する。

通常知られているスタティックRAM(SRAM)は、外部からのアドレスデータによって選択されたメモリセルに対し、同じく外部からの書込み信号(パルス)にตอบสนองしてデータの書込みを行うよう構成されたメモリである。この場合、アドレスデータも書込みパルスもそれぞれ非同期的に印加されるので、データの書込みの際には書込みパルスの印加タイミングをチップ外部で調整する必要がある。ところが実際には、このような印加タイミングの外部での調整は比較的困難であり、そのため、該タイミングに要する程度の時間的余裕をとることが一般的に行われている。従って、このようなSRAMは、より一層の高速対応化への

要であって、それぞれ書込みパルスWPにตอบสนองして書込みデータD_{in}(a)、D_{in}(b)を通過させる機能を有し、そして、59aおよび59bもトライステートバッファであって、それぞれアンドゲート55からの読出し制御信号OEにตอบสนองして読出しデータD_{out}(a)、D_{out}(b)を通過させる機能を有している。

第5図に示される構成において、チップ選択信号CSが"L"レベルに変化して外部クロックCLKのレベル変化(例えば立上りエッジ)でレジスタ52にラッチされた時に、STRAM装置はアクティブ状態となる。チップ選択信号CSと同時に書込み指令信号WEが入力されると、外部クロックCLKのレベル変化(立上りエッジ)に同期して読込み指令信号WEに対応のレジスタ53には"H"レベルまたは"L"レベルがラッチされる。具体的には、書込み指令信号WEが"H"レベルの時、アンドゲート55の出力信号OEが"H"レベルとなってバッファ59aおよび59bが導通し、読出し動作が行われる。逆に、書込み指令信号WEが"L"レベルの時、アンド

ゲート56の出力信号WSが“H”レベルとなり、書き込みパルス発生回路57から書き込みパルスWPが発生されてバッファ58aおよび58bが導通し、書き込み動作が行われる。

すなわちこの場合には、外部クロックCLKと書き込み指令信号WEにตอบสนองして該クロックの周期毎に読出しサイクル t_1 および書き込みサイクル t_2 がチップ内で自動的に規定されるようになっている。

(発明が解決しようとする課題)

上述した従来形のSTRAMでは、外部クロックCLKのレベル変化にตอบสนองして同時に2つのデータ $D_{1H}(a)$ 、 $D_{1H}(b)$ をメモリセルアレイに書き込むために、該データの数に対応した数のデータ入力端子T6aおよびT6bを設ける必要がある。

しかしながら、チップの形態をもつ一般の半導体装置においては、チップ上に占める端子のスペースは、その他の集積化された回路がチップ上に占めるスペースに比べると極めて大きいことは知られている。これは、デバイスとしての回路規模

が大きくなることを意味し、好ましくない。それ故、可能であるならば、複数のデータ(第5図の例示では2つのデータ)の書き込みを可能にする一方で、データの入力端子の数を削減できれば好適である。

本発明は、かかる従来技術における課題に鑑み創作されたもので、データ入力端子の数を半分にし、デバイスとしての回路規模の縮小化を可能にする半導体メモリ装置を提供することを目的としている。

(課題を解決するための手段、および作用)

上述した従来技術における課題は、複数の書き込みデータを時分割形式で入力し、内部でいったんラッチしておき、しかる後に書き込み信号にตอบสนองして該複数のデータをメモリセルアレイに同時に書き込むよう構成することにより、解決される。

従って、本発明による半導体メモリ装置は、第1図の原理ブロック図に示されるように、少なくとも外部からのクロックCLKおよび書き込み指令信

号WEにตอบสนองして該クロックの周期毎に所定動作を実行するためのサイクルを規定し、該規定されたサイクルの開始時点において該書き込み指令信号が所定の論理レベルにある時に書き込み制御信号を出力する回路1と、前記外部クロックを逆相のクロック \overline{CLK} に反転させる手段2と、前記書き込み制御信号が出力されている時に前記逆相クロックにตอบสนองして書き込み信号WPを発生する回路3と、前記書き込み信号が出力されている時にデータの書き込みのアクセスが行われるよう構成されたメモリセルアレイ4と、該メモリセルアレイとの間でデータの書き込みのために供する入力端子5と、該入力端子からの書き込みデータ D_{1H} を前記外部クロックまたは逆相クロックのいずれか一方にตอบสนองしてラッチし、該ラッチされたデータを前記書き込み信号にตอบสนองして前記メモリセルアレイに供給する手段6とを具備している。

そして、前記入力端子から前記書き込みデータとして複数のデータA,Bを時分割形式で入力し、該入力された複数のデータを同時に書き込むように構

成されている。

従って、複数のデータA,Bに対して本来ならば2つのデータ入力端子を必要とするところであるが、本発明によれば1つの入力端子で済む。つまり、データ入力端子の数を半分にすることができる。これは、デバイスとしての回路規模の縮小化に寄与するものである。

なお、本発明の他の構成上の特徴および作用の詳細については、添付図面を参照しつつ以下に記述する実施例を用いて説明する。

(実施例)

第2図には本発明の一実施例としてのSTRAM装置の構成がブロック的に示される。

第2図において、T1~T4、T5a、T5bおよびT6はチップの端子、20は通常のスタティック形メモリセルアレイを示す。なお、ここで言うメモリセルアレイとは、複数のワード線およびビット線の交差部にメモリセルがそれぞれ配設された本来のセルアレイと、ノメモリセルに対してアクセスを行

うための周辺回路との双方を含むものとする。端子11~14にはそれぞれアドレスデータADD、ロー・アクティブのチップ選択信号CS、ロー・アクティブの書き込み指令信号WE、クロックCLKが入力されるようになっている。また、端子15aおよび15bはそれぞれメモリセルアレイ20との間でデータDout(a)、Dout(b)の読出しのために供されるデータ出力端子、端子16はメモリセルアレイ20との間でデータの書き込みのために供される共通の入力端子、をそれぞれ表す。なお、書き込みデータDinは本実施例では2つのデータaおよびbからなっている。

端子11とメモリセルアレイ20の間にはレジスタ21が介在され、該レジスタ21は、アドレスデータADDをクロックCLKに反応してラッチする機能を有し、具体的には、クロックCLKが"H"レベルの時のアドレスデータを保持してメモリセルアレイ20に供給する。端子12にはレジスタ22が接続され、該レジスタ22は、クロックCLKが"H"レベルの時のチップ選択信号CSを保持して出力する機能を

を有している。同様に端子13にはレジスタ23が接続され、該レジスタ23は、クロックCLKが"H"レベルの時の書き込み指令信号WEを保持して出力する機能を有している。

また、メモリセルアレイ20と入力端子16との間は2系統に分かれており、一方の系統にはレジスタ24aおよびトライステートバッファ28aが介在され、他方の系統にはレジスタ24bおよびトライステートバッファ28bが介在されている。レジスタ24aは、外部クロックCLKが"H"レベルの時の書き込みデータDin(この場合にはデータa)をラッチしてバッファ28aに供給する。このバッファ28aは、後述の書き込みパルス発生回路27からの書き込みパルスWPが"H"レベルの時に、レジスタ24aを通して送られてくる書き込みデータaをメモリセルアレイ20に供給する機能を有している。一方、レジスタ24bは、逆相クロックCLKが"H"レベルの時の書き込みデータDin(この場合にはデータb)をラッチしてバッファ28bに供給する。このバッファ28bは、バッファ28aと同様に、書き込みパル

ス発生回路27からの書き込みパルスWPが"H"レベルの時に、レジスタ24bを通して送られてくる書き込みデータbをメモリセルアレイ20に供給する機能を有している。なお、逆相クロックCLKは、外部クロックCLKをインバータ10に通すことにより得られる。

さらに、メモリセルアレイ20と出力端子15aおよび15bとの間にはそれぞれトライステートバッファ29a、29bが介在されており、該バッファはそれぞれ後述のアンドゲート25からの読出し制御信号OEが"H"レベルの時に、メモリセルアレイ20から読出されたデータDout(a)、Dout(b)をそれぞれ端子15a、15bに供給する機能を有している。

25はレジスタ22の出力の反転信号とレジスタ23の出力信号とに反応し、上述の読出し制御信号OEを出力するアンドゲート、26はレジスタ22の出力の反転信号とレジスタ23の出力の反転信号とに反応し、書き込み制御信号WSを出力するアンドゲートを示す。書き込みパルス発生回路27は、書き込み制御

信号WSが"H"レベルの時に、前述の逆相クロックCLKの立上りエッジ、すなわち外部クロックCLKの立下りエッジに反応して前述の書き込みパルスWPを発生する機能を有している。

次に、書き込みパルス発生回路の一構成例について第3図を参照しながら説明する。

ここに示される書き込みパルス発生回路は、逆相クロックCLKを所定時間だけ遅延させて信号S1として出力する遅延回路30と、該遅延回路よりは大きな遅延量(第4図参照)をもって該逆相クロックCLKを所定時間だけ遅延させ、信号S2として出力する遅延回路31と、該信号S2を反転させるインバータ32と、該インバータ32の出力と遅延回路30の出力S1とに反応して信号S3を出力するアンドゲート33と、該信号S3と前述の書き込み制御信号WSとに反応して書き込みパルスWPを出力するアンドゲート34とから構成されている。

次に、第2図に示されるS T R A M装置の動作について第4図のタイミング図を参照しながら説明する。

まず、端子12に“L”レベルのチップ選択信号CSを印加し、この状態で端子13に“L”レベルの書き込み指令信号WEを印加し、端子14にクロックCLKを印加すると、該クロックCLKの立上りエッジに同期して書き込みサイクル1₀が規定される。

書き込みサイクル1₀の開始時点(1₀の時点)で書き込み指令信号WEが“L”レベルの時にクロックCLKが立上ると、アンドゲート26の出力信号NSは“H”レベルとなる。また、クロックCLKの立上りエッジにตอบสนองしてレジスタ24aには端子16から書き込みデータD₁₀としてデータaが取り込まれる。つまり、レジスタ24aは「有効」となる。

次いで、逆相クロックCLKが立上ると(1₁の時点)、レジスタ24bには端子16から書き込みデータD₁₁としてデータbが取り込まれる。つまり、レジスタ24bは「有効」となる。また、書き込みパルス発生回路27は、“H”レベルの書き込み制御信号WSに基づき、“H”レベルの逆相クロックCLKにตอบสนองして書き込みパルスWPを発生する。

書き込みパルスが発生されると、トライステート

バッファ28aおよび28bが共に機能し、レジスタ24aおよび24bにそれぞれラッチされているデータa、データbは対応のバッファを介してメモリセルアレイ20に供給される。つまり、この時点で2つのデータaおよびbがメモリセルアレイに同時に書き込まれることになる。

このように、インバータ10等の反転手段を用いて外部クロックCLKをレベル反転させたクロックCLKをデバイス内で準備し、この2種類のクロックCLKおよびCLKを利用して、2種類のデータaおよびbを同一の端子16から時分割形式で入力可能としている。従って、本来(第3図参照)ならば書き込みデータの数に対応した数の入力端子を設ける必要があるが、本装置の構成によればデータ入力端子の数を半分にすることができる。これは、チップ上に占める端子の面積が一般に比較的大きいことを考慮すると、デバイス全体としての規模の縮小化に寄与するものである。

なお、上述した実施例では外部クロックCLKの立上りエッジで書き込みデータaをラッチし、該外

部クロックCLKの立下りエッジで書き込みデータbをラッチするように構成したが、これは、それぞれ逆のエッジでラッチするように構成することもできる。

(発明の効果)

以上説明したように本発明の半導体メモリ装置によれば、データ入力端子の数を半分にすることができ、それによって、デバイスとしての回路規模の縮小化に寄与させることができる。

4. 図面の簡単な説明

第1図は本発明による半導体メモリ装置の原理ブロック図、

第2図は本発明の一実施例としてのSTRAM装置の構成を示すブロック図、

第3図は第2図における書き込みパルス発生回路の一構成例を示す回路図、

第4図は第2図装置の動作タイミング図、

第5図は従来形の一例としてのSTRAM装置の構成を示すブロック図、

(符号の説明)

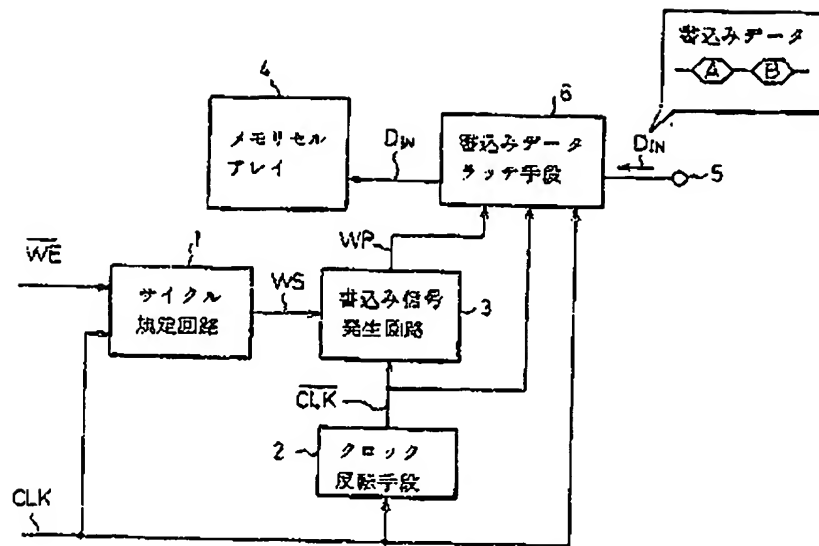
- 1…サイクル規定回路、2…クロック反転手段、
- 3…書き込み信号発生回路、
- 4…メモリセルアレイ、5…入力端子、
- 6…書き込みデータラッチ手段、
- CLK…外部クロック、CLK…逆相クロック、
- A、B、D₁₀…書き込みデータ、
- WE…書き込み指令信号、WS…書き込み制御信号、
- WP…書き込み信号。

特許出願人

富士通株式会社

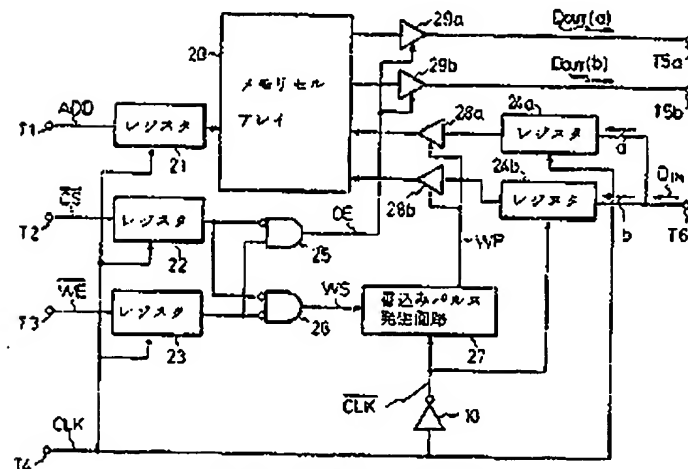
特許出願代理人

弁理士 青木 朗
弁理士 西 詔 和 之
弁理士 内 田 幸 男
弁理士 山 口 昭 之



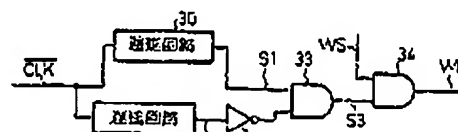
本発明による半導体メモリ装置の原理ブロック図

第 1 図



本発明の一実施例としてのSTREAM装置の構成を示すブロック図

第 2 図



第 2 図における書き込みパルス発生回路の一構成例を示す回路図

第 3 図

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第6部門第4区分
【発行日】平成7年(1995)10月13日

【公開番号】特開平1-232597
【公開日】平成1年(1989)9月18日
【年道号数】公開特許公報1-2326
【出願番号】特願昭63-56314
【国際特許分類第6版】

G11C 11/413
【F I】
G11C 11/34 J 6866-5L

与 給 補 正 書

平成6年9月9日

特許庁長官 高 島 兼 登

1. 事件の表示
昭和63年特許願第56314号
2. 発明の名称
半導体メモリ装置
3. 補正をする者
事件との関係 特許出願人

名称 (522) 富士通株式会社

4. 代理人
住所 平105 東京都港区港門一丁目8番10号 港元ビル
特許特許法事務所 電話 3524・0721

氏名 井 上 士 (6518) 西 木 房

5. 補正により増加する請求項の数 1

6. 補正の対象

(1) 明細書の「特許請求の範囲」の項

7. 補正の内容

(1) 明細書の「特許請求の範囲」を別紙の通り補正する。

8. 添付書類の目録

(1) 特許請求の範囲

2. 特許請求の範囲

1. 立ち上がりエッジおよび立ち下がりエッジを有する外部クロック信号を受信する半導体メモリ装置であって、

メモリセルアレイ(40, 40a, 40b)と、

該メモリセルアレイに動作可能に接続され、該メモリセルアレイの読み出しサイクルおよび書き込みサイクルのいずれか一方を指示する制御信号を受信し、前記外部クロック信号の立ち上がりエッジおよび立ち下がりエッジのいずれか一方に応じて読出し信号をラッチする第1のラッチ回路(43)と、

前記メモリセルアレイに動作可能に接続され、書き込みデータを受信し、前記外部クロック信号の立ち上がりエッジおよび立ち下がりエッジの他方に応じて読出しデータをラッチする第2のラッチ回路(44)と、

前記メモリセルアレイおよび前記第1のラッチ回路に動作可能に接続され、前記第1のラッチ回路にラッチされた前記読出し信号が前記書き込みサイクルを指示している時に該メモリセルアレイに書き込み信号(47)を供給する書き込み信号発生回路(47, 48, 49)とを具備することを特徴とする半導体メモリ装置。

2. 前記外部クロック信号の立ち上がりエッジおよび立ち下がりエッジの他方に応じて書き込み動作のキャンセルを指示する信号を取り込む手段をさらに具備することを特徴とする請求項1に記載の半導体メモリ装置。